

위성 영상레이더 탑재용 Chirp 신호 발생기의 LUT 축소화 연구

허민욱, 김경륙, 김영득, 김두환, 김재현, 이현철, 이상규, 유상범

아주대학교 우주전자정보공학과

{gjalsdnr1028, nowhere1004, whiteguy16, thkim, jkim}@ajou.ac.kr, {hlee, sglee, sbryu11}@kari.re.kr

A Study on LUT Size Reduction in Chirp Signal Generator for Satellite on-board SAR

Min-Wook Heo, Young-Deuk Kim, Tu-Hwan Kim, Jae-Hyun Kim

Dept. of Space electronics and information engineering, Ajou Univ.

요약

기존 위성 영상레이더에서 사용하는 memory-map 방식은 메모리 소자가 우주환경에서 훼손되기 쉬운 단점이 있고, Direct Digital Synthesizer(DDS) 방식의 chirp 신호 발생기는 메모리에 대한 의존이 낮은 장점이 있지만 Lookup Table(LUT)로 인한 메모리 소모가 크다는 단점이 있다. 본 논문에서는 Parallelized DDS(PDDS) 방식의 chirp 신호 발생기에서 LUT의 크기를 줄이는 방안에 대하여 제시한다. 기존 PDDS 방식의 chirp 신호 발생기에서는 sine 또는 cosine wave(이후 sine wave)를 나타내기 위해 1 주기를 모두 사용하였지만 해당 연구에서는 1/4 주기만 사용하여 sine wave를 표현하였고, 이에 따른 LUT의 크기 감소를 확인할 수 있었다.

I. 서론

영상레이더(SAR, Synthetic Aperture Radar)는 태양을 광원으로 하는 광학 센서와는 달리 전자기파를 사용하는 능동형 센서 탑재체로서 기상 조건과 일조 현상에 관계없이 전천후로 대상지역의 영상을 획득할 수 있는 장점을 가지고 있다. 일반적으로 영상레이더는 송신하는 대역폭이 넓을수록 좋은 해상도를 가지게 되므로 고해상도의 영상을 얻기 위해서는 시간에 따라 주파수가 바뀌는 특성을 가진 chirp 이라는 파형을 사용한다. Chirp 신호 생성을 위해 주파수 누적으로 위상을 결정하고 이를 sine wave 생성에 사용한다. Chirp 신호 생성을 위한 PDDS 방식을 사용하기 위해서는 4개의 LUT가 포함된 4개의 DDS가 필요하며, 이를 위한 많은 메모리가 필요하다. 메모리를 많이 사용하면 위성시스템에 적용하기 어려운 단점이 있다. 따라서 본 논문에서는 LUT에 저장되는 sine wave를 1 주기가 아닌 1/4 주기만을 저장하여 LUT에 사용되는 메모리를 줄이는 방안을 제시한다.

II. PDDS 방식의 Chirp 신호 생성

Chirp 신호는 시간에 따라 주파수가 선형적으로 변하는 LFM(Linear Frequency Modulation) 신호의 한 종류로서 넓은 대역폭을 가지는 특징이 있다. 영상레이더의 해상도(r)는 식 (1)과 같이 송신신호의 대역폭에 반비례하므로 넓은 대역폭을 가지는 chirp 신호를 주로 사용한다. 식에서 c 는 빛의 속도, B 는 대역폭을 나타낸다.

$$r = \frac{c}{2B}. \quad (1)$$

$$s(t) = \text{rect}\left(\frac{t}{T}\right) A e^{j\pi K t^2}. \quad (2)$$

식 (2)는 chirp 신호를 정의하는 식으로서 t 는 시간, T 는 펄스폭, K 는 시간에 대한 주파수의 변화율인 chirp rate, A 는 신호의 진폭을 나타낸다[1],[2].

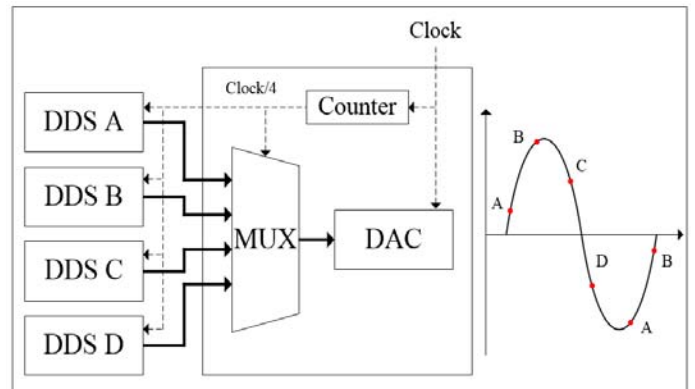


그림 1. PDDS 구조

Chirp 신호 생성에 DDS 방식을 사용할 수 있지만 높은 클럭 주파수를 필요로 한다. 그러나 위성환경에서는 클럭 발생기의 성능 한계로 높은 주파수의 클럭 생성이 어렵다. 따라서 상대적으로 동작 클럭이 낮은 여러 개의 DDS를 병렬로 연결하여 시스템 동작 클럭을 높이는 PDDS 방식을 사용할 수 있다[3].

그림 1은 chirp 신호를 생성하는 4개의 DDS 블록을 MUX에 병렬로 연결하여 사용하는 PDDS 방식을 나타낸 그림이다. PDDS 방식은 4개의 DDS 블록이 chirp 신호를 생성하기 때문에 하나의 LUT를 사용하는 DDS 방식보다 전체 시스템에서 LUT가 차지하는 메모리 크기가 커진다. PDDS 방식의 chirp 신호 알고리즘에서 LUT가 차지하는 비율이 상당히 크기 때문에 사용자가 원하는 출력 신호의 bit 수가 클 경우, 실제 신호를 전송하는 하드웨어인 Field Programmable Gate Array(FPGA)에 내장된 한계 메모리를 초과하여 보드에 코드 입력이 되지 않을 수 있다. 이러한 이유로 chirp 신호의 요구사항을 낮춰야 하는 문제가 발생할 수 있다.

III. LUT 감소 방안

일반적으로 chirp 신호 생성에 필요한 위상정보는 각각의 PDDS 블록 내부의 LUT에 1 주기의 sine wave 형태로 저장된다[4]. LUT에 저장되는 데이터 크기는 sine wave의 출력 bit 수를 n 이라 할 때, 2^n 과 LUT에 저장되는 sine wave의 길이에 비례한다. n 을 줄이게 되면 출력 신호의 성능이 저하되기 때문에, 같은 성능의 신호를 생성하면서 전체 메모리 크기를 줄이기 위해 LUT 내부에서 짧은 주기의 sine wave를 사용해야 한다. 그 방안으로는 먼저 LUT에 sine wave의 1/4 주기만 저장하고 그림 2-(a)와 같이 4 개를 배열한 후, $\pi/2$ 와 π , $3\pi/2$ 와 2π 사이의 wave를 좌우 대칭 시킨다(그림 2-(b)). 마지막으로 π 와 2π 사이의 wave를 바꿔 줌으로써 그림 2-(c)처럼 1 주기의 sine wave 표현이 가능하다.

본 논문에서는 표 1에 나타난 파라미터를 사용하여 PDDS 방식의 chirp 신호 발생기 알고리즘과 LUT 감소 알고리즘을 MATLAB의 system generator를 통해 디지털 방식으로 구현하였다. 그리고 ISE Project Navigation 14.7을 사용하여 PDDS 방식의 chirp 신호 발생 알고리즘이 차지하는 메모리 크기를 비교하였다. 코드 생성에 사용한 ISE Project Navigation 14.7의 타겟 보드는 Xilinx virtex-5 XC5VFX130T로 설정하였다.

표 2는 시뮬레이션 결과를 나타낸 표이다. 시뮬레이션 결과를 통해 LUT에 sine wave의 1/4 주기만 저장했을 경우 LUT의 사용 개수는 832 개에서 768 개로 크게 감소하지 않았지만, 전체 사용된 메모리는 114 KB로써 1 주기를 사용 했을 경우와 비교 시 432 KB의 26.38 %에 해당하며, 약 1/4 가량 감소한 것을 확인할 수 있었다.

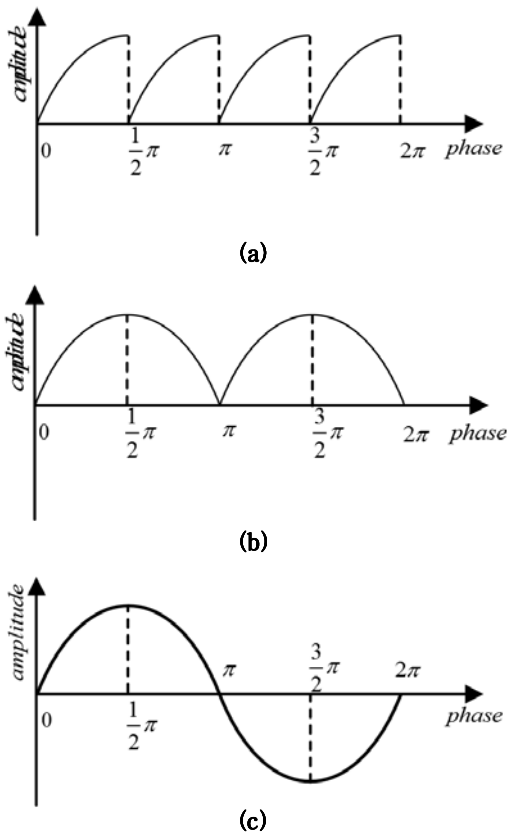


그림 2. Phase와 amplitude 변환을 통한 sine wave 표현

표 1. 시뮬레이션에 사용한 신호생성 파라미터

파라미터	값	단위
펄스폭	13.3	μs
대역폭	75	MHz
DDS 개수	4	ea
출력 bit	10	bits

표 2. 시뮬레이션 결과 비교

	LUT 감소 미적용	LUT 감소 적용
Number of Slice LUTs	832	768
Total Memory used (KB)	432	114

IV. 결론

본 논문에서는 위성 영상레이더 탑재용 chirp 신호 발생기의 LUT 크기를 감소하는 방안에 대해 제시하였다. Chirp 신호를 생성하기 위해 사용한 프로그램인 system generator에서 PDDS 방식의 알고리즘에서 LUT에 저장되는 sine wave의 주기를 1/4로 줄였다. 그 신호를 이용해 1 주기를 표현하는 알고리즘을 추가하여 chirp 신호를 생성 및 코드화 하여 실제로 코드가 차지하는 메모리 크기를 시뮬레이션을 통해 비교하였다. 시뮬레이션 결과 전체 시스템에서 사용되는 메모리가 약 1/4 만큼 감소하였다. 추가된 블록은 고정되어 있으므로 LUT 출력 bit 수가 높을수록 메모리 감소량이 많을 것이므로, 같은 크기의 메모리를 사용한다면 더 좋은 성능의 신호를 생성할 수 있을 것이라 생각된다.

ACKNOWLEDGMENT

본 연구는 2016년도 정부(미래창조과학부)의 재원으로 한국항공우주연구원(KARI, Korea Aerospace Research Institute)의 지원을 받아 수행되었습니다.

참고 문헌

- [1] I. G. Cumming and F. H. Wong "Digital Processing of synthetic Aperture Radar Data," 2005.
- [2] V. C. Koo and M. Y. Chua, "FPGA-based chirp signal generator for high resolution UAV SAR," *Progress In Electronics Research*, vol. 99, pp. 71-88, 2009.
- [3] A. Samarah, "A novel approach for generating digital chirp signals using FPGA technology for synthetic aperture radar applications," 2012.
- [4] J. Vankka, "Methods of mapping from phase to sine amplitude in direct digital synthesis," *Ultrasonics, Ferroelectrics, and Frequency Control, IEEE Transactions on* 44.2 pp. 526-534, 1997.